

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-252203 /

(43) 公開日 平成11年(1999) 9月17日

(51) Int.Cl.⁶

識別記号

F I

H 0 4 L 29/08

H 0 4 L 13/00

3 0 7 C

12/28

H 0 4 Q 3/00

12/56

H 0 4 L 11/20

E

H 0 4 N 7/08

1 0 2 Z

7/081

H 0 4 N 7/08

Z

審査請求 未請求 請求項の数 9 O L (全 10 頁) 最終頁に続く

(21) 出願番号

特願平10-49610

(22) 出願日

平成10年(1998) 3月2日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 引野 慎

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72) 発明者 中島 宏一

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

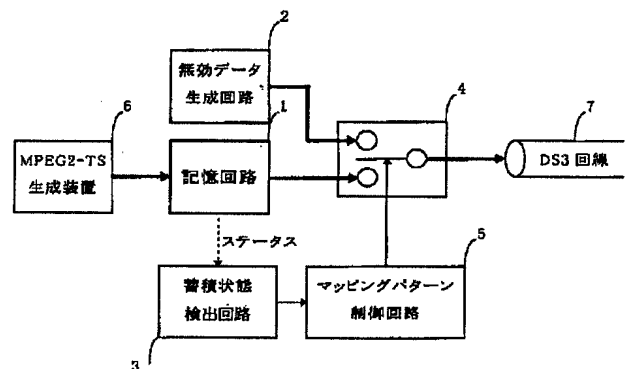
(74) 代理人 弁理士 曾我 道照 (外6名)

(54) 【発明の名称】 デジタル信号伝送装置

(57) 【要約】

【課題】 任意のビットレートのMPEG2-TSをDS3回線に効率的にマッピングして伝送することができると共に、DS3回線での信号伝送において、固定遅延が少なく、実現回路規模の小さいデジタル信号伝送装置を提供する。

【解決手段】 データ生成装置6からのデジタルデータを一時的に記憶する記憶回路1、無効データを生成する無効データ生成回路2、記憶回路の蓄積状態を検出する蓄積状態検出回路3、切り換えスイッチ4を切り換え制御して、無効データ生成回路2の出力と記憶回路1からの読み出し出力とを切り換えて、伝送路帯域に対するデジタル信号の占める帯域が入力ビットレートより少し高い伝送フォーマットと少し低い伝送フォーマットとを生成し、蓄積状態検出回路による蓄積状態を示す検出出力に応じて2つの伝送フォーマットを適応的に切り換えるマッピングパターン制御回路5を備える。



【特許請求の範囲】

【請求項1】 所定ビットレートのデジタルデータを生成するデータ生成装置からのデジタルデータを、それより高い帯域をもつデジタル伝送路によって伝送するデジタル信号伝送装置において、

上記データ生成装置からのデジタルデータを一時的に記憶する記憶手段と、

無効データを生成する無効データ生成手段と、

上記記憶手段の蓄積状態を検出する蓄積状態検出手段と、

上記無効データ生成手段と上記記憶手段とのいずれかの出力を上記デジタル伝送路に切り換える切換手段と、

上記切換手段を切り換え制御することにより、上記無効データ生成手段の出力と上記記憶手段からの読み出し出力とを切り換えて、伝送路帯域に対するデジタル信号の占める帯域が入力ビットレートより少し高い伝送フォーマットと少し低い伝送フォーマットとを生成し、上記蓄積状態検出手段による蓄積状態を示す検出出力に応じて2つの伝送フォーマットを適応的に切り換えるマッピングパターン制御手段とを備えたことを特徴とするデジタル信号伝送装置。

【請求項2】 請求項1記載のデジタル信号伝送装置において、上記マッピングパターン制御手段は、上記デジタル伝送路の階層化構造に合致したフレーム単位で伝送フォーマットを生成することを特徴とするデジタル信号伝送装置。

【請求項3】 請求項1または2記載のデジタル信号伝送装置において、上記マッピングパターン制御手段は、無効データを1バイト単位で挿入する伝送フォーマットを生成することを特徴とするデジタル信号伝送装置。

【請求項4】 請求項1ないし3のいずれかに記載のデジタル信号伝送装置において、上記2つの伝送フォーマットを識別する識別信号を生成する識別信号生成手段と、この識別信号生成手段からの出力と上記無効データ生成手段からの出力のいずれかを切り換えて上記切換手段に出力する第2の切換手段とをさらに備え、上記マッピングパターン制御手段は、上記第2の切換手段を切換制御して、伝送フォーマットに、上記無効データの一部を使用して上記2つの伝送フォーマットを識別する識別信号を付加することを特徴とするデジタル信号伝送装置。

【請求項5】 請求項1ないし4のいずれかに記載のデジタル信号伝送装置において、上記蓄積状態検出手段は、上記記憶手段のデータ残量が上限値を上回ったときの上限値を示す信号をカウントする上限値カウンタと、上記記憶手段のデータ残量が下限値を下回ったときの下限値を示す信号をカウントする下限値カウンタと、これらカウンタのカウント値と設定値との比較判定結果を出力する判定手段とを有し、上記マッピングパターン制御手段は、当該比較判定結果に基づいて上記伝送フォーマットを切り換えるタイミングを決定することを特徴とするデジタル信号伝送装置。

ットを切り換えるタイミングを決定することを特徴とするデジタル信号伝送装置。

【請求項6】 請求項1ないし4のいずれかに記載のデジタル信号伝送装置において、上記蓄積状態検出手段は、上記記憶手段のデータ残量を一定の時間間隔でサンプリングするサンプリング手段と、現在のサンプリング値と過去のサンプリング値との差分を求める差分演算手段と、この差分演算手段からの差分の値によって上記記憶手段の蓄積データ残量の時間的変位を判定する判定手段とを有し、上記マッピングパターン制御手段は、当該比較判定結果に基づいて上記伝送フォーマットを切り換えるタイミングを決定することを特徴とするデジタル信号伝送装置。

【請求項7】 請求項1ないし4のいずれかに記載のデジタル信号伝送装置において、上記蓄積状態検出手段は、上記記憶手段のデータ残量が上限値を上回ったときの上限値を示す信号をカウントする上限値カウンタと、上記記憶手段のデータ残量が下限値を下回ったときの下限値を示す信号をカウントする下限値カウンタと、上記記憶手段のデータ残量を一定の時間間隔でサンプリングするサンプリング手段と、現在のサンプリング値と過去のサンプリング値との差分を求める差分演算手段と、上記上限値カウンタのカウント値が所定値以上に達し、かつ上記差分の値が正の値をとるとき、上記記憶手段の蓄積状況が増加傾向と判定すると共に、上記下限値カウンタのカウント値が所定値以上に達し、かつ上記差分の値が負の値をとるとき、上記記憶手段の蓄積状況が減少傾向と判定する判定手段とを有し、上記マッピングパターン制御手段は、当該比較判定結果に基づいて上記伝送フォーマットを切り換えるタイミングを決定することを特徴とするデジタル信号伝送装置。

【請求項8】 請求項1ないし7のいずれかに記載のデジタル信号伝送装置において、上記データ生成装置から出力されるデジタルデータから誤り訂正符号を生成する誤り訂正符号生成手段と、この誤り訂正符号生成手段からの出力と上記無効データ生成手段からの出力のいずれかを切り換えて上記切換手段に出力する第3の切換手段とをさらに備え、上記マッピングパターン制御手段は、上記第3の切換手段を切換制御して、伝送フォーマットに、上記無効データの一部または全部を使用して誤り訂正符号を付加することを特徴とするデジタル信号伝送装置。

【請求項9】 請求項1ないし8のいずれかに記載のデジタル信号伝送装置において、上記マッピングパターン制御手段は、無効データを時間的に均一に挿入する伝送フォーマットを生成することを特徴とするデジタル信号伝送装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、送信するデジタ

ルデータの伝送レートより高い帯域をもつ伝送路に対して、伝送レートの違いを吸収し、効率的に帯域の割り当てを行ってデジタル信号を伝送するデジタル信号伝送装置に関するものである。

【0002】

【従来の技術】近年、ネットワークの大容量化／画像技術の高度化により、画像通信が盛んになっている。特に画像については、ISO/IEC13818規格で定められている、MPEG2 (Moving Picture Experts Group) という画像圧縮技術が広範囲に広まり、急速に普及してきている。

【0003】MPEG2における伝送フォーマットには、Program Streamと、Transport Stream (以下TSという) の2種類があるが、衛星デジタル放送、地上波デジタル放送等伝送メディアに広く普及しているのは188バイト固定長のパケットで構成されるTSである。

【0004】一方、通信においては、伝送路としてATM、LAN、専用線 (T1、DS3等) 等が存在し、これらの回線上に、どのように上記MPEG2-TSを載せ込むか (以下これをマッピングという) が上記回線をデジタルTV放送に利用する上で重要になる。

【0005】図12は上記回線のうち北米を中心に普及しているDS3回線にMPEG2-TSをマッピングして伝送する従来の装置を示したものである。図12において、6はMPEG2-TS生成装置、34はMPEG over ATMマッピング装置、35はPhysical Layer Convergence Protocol (以下PLCP) フレーム化装置、7はDS3回線である。

【0006】次に動作について説明する。テレビ信号などの映像ソース (図示しない) からMPEG2-TS生成装置6によって生成されたMPEG2-TSは、MPEG over ATMマッピング装置34に送られる。

【0007】MPEG2-TS to ATMセルマッピング装置34では、188バイトのMPEG2-TSパケットを48バイトのATMセルのペイロード部に分割マッピングする。マッピング方法は米国のATM LAN標準化団体であるATM Forumが仕様を規定している (Audio/Visual Multimedia Services: Video on Demand v1.1)。この仕様は、376バイトになる2つのTSパケットに、ATMアダプテーションレイヤ5 (以下AAL5という) で定められている8バイトのヘッダを付加した384バイトを、8個のATMセルにマッピングするものである。図13にMPEG over ATMのフォーマットを示す。

【0008】このようにATMセルにマッピングされたMPEG2-TSは、PLCPフレーム化装置35に送られる。DS3回線にATMセルを乗せる方式もATM Forumによって規定されており (ATM User-Network Interface Specification V3.1)、そこではフレームレートが125μ秒のPLCPフレーム1つにつきATMセル

を12個マッピングすることが定められている。MPEG2-TSのレート調整は、ATMセルにアイドルセルを挿入することによって行われる。図14にDS3 PLCPフレーム構造を示す。

【0009】上記のごとく従来の装置は、既存のMPEG over ATMとPLCP DS3フレームフォーマットを組み合わせることでDS3回線にMPEG2-TSをマッピングして伝送を行っている。

【0010】

【発明が解決しようとする課題】上記のような従来の伝送装置は、MPEG2-TSを一旦ATMセルにマッピングし、さらにATMセルをPLCPフレームにマッピングしてDS3回線で伝送するという2段階の処理を行うため固定遅延が増大し、さらに煩雑なフォーマット処理をするため回路規模が大きくなるという問題点があった。

【0011】また、2つのフォーマット (ATMセル、PLCPフレーム) を経ることによって、オーバーヘッドが増大し、回線の帯域に対して送れるMPEG2-TSのビットレートが制限され、回線使用効率が悪くなるという問題点があった。

【0012】また、現時点ではMPEG2-TSをDS3回線に直接マッピングする方式は開示されていない。

【0013】この発明は上記のような問題点を解決するためになされたもので、任意のビットレートのMPEG2-TSをDS3回線に効率的にマッピングして伝送することができると共に、DS3回線での信号伝送において、固定遅延が少なく、実現回路規模の小さいMPEG2-TS伝送装置として好適なデジタル信号伝送装置を提供することを目的としている。

【0014】

【課題を解決するための手段】この発明に係るデジタル信号伝送装置は、所定ビットレートのデジタルデータを生成するデータ生成装置からのデジタルデータを、それより高い帯域をもつデジタル伝送路によって伝送するデジタル信号伝送装置において、上記データ生成装置からのデジタルデータを一時的に記憶する記憶手段と、無効データを生成する無効データ生成手段と、上記記憶手段の蓄積状態を検出する蓄積状態検出手段と、上記無効データ生成手段と上記記憶手段とのいずれかの出力を上記デジタル伝送路に切り換える切換手段と、上記切換手段を切り換え制御することにより、上記無効データ生成手段の出力と上記記憶手段からの読み出し出力とを切り換えて、伝送路帯域に対するデジタル信号の占める帯域が入力ビットレートより少し高い伝送フォーマットと少し低い伝送フォーマットとを生成し、上記蓄積状態検出手段による蓄積状態を示す検出出力に応じて2つの伝送フォーマットを適応的に切り換えるマッピングパターン制御手段とを備えたことを特徴とするものである。

【0015】また、上記マッピングパターン制御手段

は、上記デジタル伝送路の階層化構造に合致したフレーム単位で伝送フォーマットを生成することを特徴とするものである。

【0016】また、上記マッピングパターン制御手段は、無効データを1バイト単位で挿抜する伝送フォーマットを生成することを特徴とするものである。

【0017】また、上記2つの伝送フォーマットを識別する識別信号を生成する識別信号生成手段と、この識別信号生成手段からの出力と上記無効データ生成手段からの出力のいずれかを切り換えて上記切替手段に出力する第2の切替手段とをさらに備え、上記マッピングパターン制御手段は、上記第2の切替手段を切替制御して、伝送フォーマットに、上記無効データの一部を使用して上記2つの伝送フォーマットを識別する識別信号を付加することを特徴とするものである。

【0018】また、上記蓄積状態検出手段は、上記記憶手段のデータ残量が上限値を上回ったときの上限値を示す信号をカウントする上限値カウンタと、上記記憶手段のデータ残量が下限値を下回ったときの下限値を示す信号をカウントする下限値カウンタと、これらカウンタのカウンタ値と設定値との比較判定結果を出力する判定手段とを有し、上記マッピングパターン制御手段は、当該比較判定結果に基づいて上記伝送フォーマットを切り換えるタイミングを決定することを特徴とするものである。

【0019】また、上記蓄積状態検出手段は、上記記憶手段のデータ残量を一定の時間間隔でサンプリングするサンプリング手段と、現在のサンプリング値と過去のサンプリング値との差分を求める差分演算手段と、この差分演算手段からの差分の値によって上記記憶手段の蓄積データ残量の時間的変位を判定する判定手段とを有し、上記マッピングパターン制御手段は、当該比較判定結果に基づいて上記伝送フォーマットを切り換えるタイミングを決定することを特徴とするものである。

【0020】また、上記蓄積状態検出手段は、上記記憶手段のデータ残量が上限値を上回ったときの上限値を示す信号をカウントする上限値カウンタと、上記記憶手段のデータ残量が下限値を下回ったときの下限値を示す信号をカウントする下限値カウンタと、上記記憶手段のデータ残量を一定の時間間隔でサンプリングするサンプリング手段と、現在のサンプリング値と過去のサンプリング値との差分を求める差分演算手段と、上記上限値カウンタのカウンタ値が所定値以上に達し、かつ上記差分の値が正の値をとるとき、上記記憶手段の蓄積状況が増加傾向と判定すると共に、上記下限値カウンタのカウンタ値が所定値以上に達し、かつ上記差分の値が負の値をとるとき、上記記憶手段の蓄積状況が減少傾向と判定する判定手段とを有し、上記マッピングパターン制御手段は、当該比較判定結果に基づいて上記伝送フォーマットを切り換えるタイミングを決定することを特徴とするも

のである。

【0021】また、上記データ生成装置から出力されるデジタルデータから誤り訂正符号を生成する誤り訂正符号生成手段と、この誤り訂正符号生成手段からの出力と上記無効データ生成手段からの出力のいずれかを切り換えて上記切替手段に出力する第3の切替手段とをさらに備え、上記マッピングパターン制御手段は、上記第3の切替手段を切替制御して、伝送フォーマットに、上記無効データの一部または全部を使用して誤り訂正符号を付加することを特徴とするものである。

【0022】さらに、上記マッピングパターン制御手段は、無効データを時間的に均一に挿入する伝送フォーマットを生成することを特徴とするものである。

【0023】

【発明の実施の形態】実施の形態1. 図1はこの発明の実施の形態1に係るもので、MPEG2-TSをDS3伝送路にマッピングして伝送するデジタル信号伝送装置の構成図である。図1において、1はMPEG2-TSの記憶回路、2は無効データ生成回路、3は蓄積状態検出回路、4は記憶回路1から出力されるデータと無効データ生成回路2から出力される無効データを切り換える切り換えスイッチ、5は蓄積状態検出回路3の出力によって後述するマッピングパターンを生成し、切り換えスイッチ4を制御する回路である。

【0024】次に動作について説明する。伝送路として想定しているDS3回線7は、44.736Mbit/sの帯域があり、図3に示すようなフレームフォーマットが定められている(ANSI T1.107)。DS3は、図3に示すように、4760ビットのビット列を1フレームとし、フレームは680ビットのブロック(以下サブフレームと呼ぶ)7つに区切られる。さらに各サブフレームは85ビットのブロック8つに区切られている。そして、図に示すように、1フレームに54ビット(1ブロックにつき1ビットづつ)のオーバーヘッドビットがあり、実際にデータを乗せることができるのは1フレームにつき4704ビットになる。

【0025】一方、伝送するMPEG2-TSとして想定しているのは米国ATSC(Advanced Television System Committee)規格で定められたATV(Advanced Television)信号である19.39Mbit/sのMPEG2-TSである。TSは従来の技術の項で述べたように、188バイト毎にパケット化されている。

【0026】以下の説明は、上記DS3回線7に19.39Mbit/sのMPEG2-TSをマッピングする場合を想定している。ただ、DS3のペイロード帯域以下のビットレートならば、任意の速度のTSにこの方式が適用できることを付記しておく。

【0027】図1の記憶回路1には、19.39Mbit/sの速度でMPEG2-TS生成装置6からMPEG2-TSが書き込まれる。一方、44.736Mbit

t/sのDS3回線7に乗せるために記憶回路1からデータを読み出すのだが、そのまま44.736Mbit/sで読み出すと、伝送速度の違いから記憶回路1のデータがアンダーフローを起こす。従って、マッピングパターン制御回路5により、無効データ生成回路2から出力された無効データを切り換えスイッチ4で適宜データ間に挿入して記憶回路1がアンダーフローを起こさないようにする。

【0028】マッピングパターン制御回路5は、切換スイッチ4を制御して、DS3フレームにMPEG2-TSと無効データを一定の割合で配分した伝送フォーマット（以下これをマッピングパターンと呼ぶ）を生成する。また、蓄積状態検出回路3の出力によってマッピングパターンの切り換えを行い、伝送レートの調節をする。以下はこのマッピングパターンに関する説明である。

【0029】図2はDS3フレームへの19.39Mbit/sのMPEG2-TSマッピングパターンを示したものである。上記の通り、4760ビットのDS3フレームで情報が入られるペイロード部は4704ビットである。これを、8フレームを1単位（4704バイト、以下これをラージフレームと呼ぶ）としてTSをマッピングする。8フレームを1単位とするのは、19.39Mbit/sのMPEG2-TSをマッピングする場合の区切りが良いからである。もちろん何フレームを1単位として扱うかは伝送するTSのレートによって任意に設定することができる。

【0030】マッピングパターン(a)は、1つのラージフレームに11個のTSパケットをマッピングしたものである。この時のTSレートは、次式によって求められる。

$$44.736\text{Mbit/s} \times 4704/4760 \times 188 \times 11/4704 = 19.434357.. \text{Mbit/s}$$

【0031】一方、マッピングパターン(b)は、1つのラージフレームに10個のTSパケットをマッピングしたものである。この時のTSレートは、同様に次式によって求められる。

$$44.736\text{Mbit/s} \times 4704/4760 \times 188 \times 10/4704 = 17.6688.. \text{Mbit/s}$$

【0032】マッピングパターン(a)のTSレートは送信側のTSレート19.39Mbit/sより高いので、パターン(a)に従って読み出しを続ければ記憶回路1のデータ残量はアンダーフローし、マッピングパターン(b)のTSレートは送信側のレートより低いのでパターン(b)で読み出しを続ければ記憶回路1のデータ残量はオーバーフローしてデータが欠落してしまう。

【0033】そこで、蓄積状態検出回路3で記憶回路1のデータ残量を検出して、その出力を使用して記憶回路1のデータがアンダーフローあるいはオーバーフローしないように、マッピングパターン制御回路5は、切換ス

イッチ4を制御してマッピングパターン(a)、(b)を切り換える。このように、2つのマッピングパターンを適切なタイミングで切り換えることにより、DS3回線に占めるMPEG2-TSの帯域をMPEG2-TS生成装置6が出力するTSのビットレートと等しくする。

【0034】以上のように、MPEG2-TS送信側のデータレートより高いマッピングと低いマッピングを用意して、記憶回路1の蓄積状態によってマッピングパターン制御回路5によりマッピングを切り換える構成にすることで、送信側の伝送速度と同じビットレートでMPEG2-TSをDS3伝送路に乗せることができる。また、マッピングパターンをあらかじめ受信側で既知とすれば、DS3フレームさえ検出できれば容易にTSを抽出する（無効データを削除する）ことができ、受信側の回路が簡素化できる。また、このような構成におけるマッピングパターンはTSパケットとDS3フレームが同期しているので、DS3フレームさえ検出できれば受信側にTSパケットヘッダ検出回路を備える必要がなくなり、受信側の回路が簡素化できる。

【0035】実施の形態2. 以上の実施の形態1では、DS3フレームを8つまとめてTSをマッピングするようにしたものであるが、別のマッピング例としてDS3フレーム一つにTSをマッピングする実施の形態を示す。これは、上記実施の形態1においてDS31フレームを1単位として扱った場合に相当する。すなわち、この実施の形態2では、マッピングパターン制御回路5により、デジタル伝送路の階層化構造に合致したフレーム単位で伝送フォーマットを生成する。

【0036】図4はこのような場合のマッピングパターンを示したものである。マッピングパターン(a)は、1つのDS3ラージフレームに2個のTSパケットをマッピングしたものである。この時のTSレートは、次式によって求められる。

$$44.736\text{Mbit/s} \times 4704/4760 \times 188 \times 2/588 = 28.27014.. \text{Mbit/s}$$

【0037】一方、マッピングパターン(b)は、1つのフレームに1個のTSパケットをマッピングしたものである。この時のTSレートは、同様に次式によって求められる。

$$44.736\text{Mbit/s} \times 4704/4760 \times 188/588 = 14.13507.. \text{Mbit/s}$$

【0038】上記のように、マッピングパターン制御回路5により、送信側のTSレート19.39Mbit/sより高いマッピングと低いマッピングを生成することによって実施の形態1と同様、DS3のMPEG2-TSレートを制御することができる。また、DS3フレーム1つという小さな単位におけるマッピングであるので、記憶回路1の容量を小さくできる。また、デジタル伝送路のネットワーク階層化構造においてDS3フレーム構造さえ確

立てればマッピングパターンが保証されるので、ネットワーク上での自由度が高い。

【0039】実施の形態3. 以上の実施の形態1および2ではいずれもTSパケット単位のマッピングパターンであるが、別のマッピング例としてMPEG2-TSをバイト単位でDS3フレームにマッピングする実施の形態を示す。すなわち、この実施の形態3では、マッピングパターン制御回路5により、無効データを1バイト単位で挿抜する伝送フォーマットを生成する。

【0040】図5はこのような場合のマッピングパターンを示したものである。マッピングパターン(a)はDS3フレームに258バイトのMPEG2-TSデータをマッピングしたものである。このときのTSレートは、 $44.736\text{Mbit/s} \times 4704/4760 \times 258/588 = 19.39813..$ Mbit/s

【0041】一方、マッピングパターン(b)は、1つのフレームに257バイトのMPEG2-TSデータをマッピングしたもので、この時のTSレートは、同様に次式によって求められる。

$44.736\text{Mbit/s} \times 4704/4760 \times 257/588 = 19.32294..$ Mbit/s

【0042】上記のように送信側のTSレート19.39Mbit/sより高いマッピングと低いマッピングを生成することによって実施の形態1あるいは2と同様、DS3のMPEG2-TSレートを制御することができる。また、2つのマッピングパターンはいずれも送信レート19.39Mbit/sに近いレートになっている。つまり、どちらのマッピングに切り換えても伝送レートの変動が少なく、それを吸収する記憶回路1の容量も小さくすることができる。固定遅延も抑えることができる。

【0043】実施の形態4. この実施の形態4では、上述した実施の形態1、2及び3において、送信側で選択したマッピングパターンを識別する識別データを付加する手段をさらに備えた実施の形態を示す。

【0044】図6はこのような場合のデジタル信号伝送装置の構成図である。図6において、8は識別データ生成回路、9は識別データと無効データを切り換えるスイッチである。

【0045】次に動作について説明する。マッピングパターンの切り換えによって伝送レートを制御するのは実施の形態1と同じであるが、マッピングパターンを切り換える時に、識別データ生成回路8から出力されるマッピングパターンを識別するデータを、マッピングパターン制御回路5により切換スイッチ9を制御してフレームのある特定の位置に無効データの代わりに挿入する。

【0046】以上のような構成にすることで、受信側は容易にマッピングパターンの識別ができ、TSデータの抽出ができる。また、元々無効データである部分を利用しているので、回線の使用効率は低下しない。

【0047】実施の形態5. 実施の形態1、2および3

では、蓄積状態検出の出力によってマッピングパターンを切り換えるようにしているが、蓄積状態を検出する回路として、蓄積残量の境界値を検出する手段を備えた実施の形態を示す。

【0048】図7はこのような場合の蓄積状態検出回路を示す。図7において、1は記憶回路、3は蓄積状態検出回路、10はデータ残量の上限值を示す信号、11は上限値カウンタ、12はデータ残量の下限值を示す信号、13は下限値カウンタ、14は判定回路である。

【0049】次に動作について説明する。記憶回路1にはMPEG2-TS生成装置側からデータが書き込まれ、DS3回線側からはデータを読み出されるため、そのデータ残量は常に変動している。しかし、既に述べたように書き込みと読み出しに少しでも速度差があると、データ残量は徐々に増加あるいは減少傾向を示す。例えば書き込みの速度が読み出しの速度より速い場合、データ残量は増加傾向を示す。

【0050】そこで、記憶回路1のデータ残量の上限值を設定し、残量がそれを上回ったとき、データ残量の上限值を示す信号10を出力し、蓄積状態検出回路3内の上限値カウンタ11で、データ残量は何回上限値に達したかをカウントする。判定回路14はカウント回数がある値になったら、データ残量が増加傾向にある、つまり書き込み速度の方が速いと判定する。複数回のカウントで判定するのは、上記のように記憶回路1のデータ残量は常に変動しているため、1回上限値を上回っただけではデータ残量が増加傾向にあるかどうかを判定するのが困難だからである。マッピングパターン制御回路は、その判定結果を受けてデータがオーバーフローする前に読み出し速度の速い(伝送レートが速い)方のマッピングに切り換える。

【0051】逆に、書き込み速度が読み出し速度より遅い場合、データ残量は減少傾向を示す。記憶回路のデータ残量が規定値よりも下回ったとき、データ残量の下限值を示す信号12を出力し、蓄積状態検出回路3内の下限値カウンタ13でカウントする。判定回路14はカウント回数がある値になったら、データ残量が減少傾向にある、つまり書き込み速度の方が遅いという判定をマッピングパターン制御回路5へ伝える。

【0052】以上のような蓄積状態を検出する回路の構成にすることで、記憶回路のデータ残量がオーバーフロー、アンダーフローを起こすことなく適切なタイミングでマッピングパターンを切り換えることができる。

【0053】実施の形態6. 実施の形態5では、蓄積状態を検出する回路として、蓄積残量の境界値を検出する手段を備えたものであるが、蓄積状態を検出する回路の別の例として、記憶回路1のデータ残量の時間的変位を検出する手段を備えた実施の形態を示す。

【0054】図8はこのような場合の蓄積状態検出回路を示す。図8において、15は記憶回路1のデータ残量

を示す信号、16はサンプリング回路、17はシフトレジスタ、18は引算器、19は判定回路である。

【0055】次に動作について説明する。15は記憶回路1のデータ残量を常に出力し続ける信号である。サンプリング回路16は信号15を一定の時間間隔 ΔT でサンプリングする。シフトレジスタ17はサンプリング回路16で得たサンプリング値を一時記憶する。例えばレジスタ(a)は時刻Tの値を、(b)は時刻($T - \Delta T$)の値を記憶している。引算器18はレジスタ(a)と(b)の差分を求める。もし記憶回路1のデータ残量が減少傾向にある、つまり読み出し速度が速すぎる場合、時刻Tのデータ残量サンプリング値(レジスタ(a)に記憶)は過去($T - \Delta T$)のサンプリング値(b)に記憶)より小さくなっている、レジスタ(a)の値-レジスタ(b)の値 < 0 となる。逆に、データ残量が増加傾向にある、つまり読み出し速度が遅すぎる場合、レジスタ(a)の値-レジスタ(b)の値 > 0 となる。すなわち、引算器18の符号を調べることで記憶回路1のデータ残量の時間的変位が測定できる。判定回路19はこの結果をマッピングパターン制御回路5に伝える。

【0056】以上のような蓄積状態を検出する回路の構成にすることで、記憶回路1のデータ残量がオーバーフロー、アンダーフローを起こすことなく適切なタイミングでマッピングパターンを切り換えることができる。

【0057】実施の形態7. 実施の形態6では、蓄積状態を検出する回路として、記憶回路1の残量を記憶する手段を備えたものであったが、蓄積状態を検出する回路の別の例として、実施の形態5及び6を用いて複合的に蓄積状態を判定する手段を備えた実施の形態を示す。

【0058】図9はこのような場合の蓄積状態検出回路を示す。図9において、20~23は実施の形態5と、24~27は実施の形態6と同様である。28は判定回路、29は上限値カウンタ21の出力信号、30は引き算器27の出力信号、31は下限値カウンタ23の出力信号である。

【0059】次に動作を説明する。上限値カウンタ信号29及び下限値カウンタ信号31が出力されるまでの動作は実施の形態5と同様である。また、サンプリング値差分信号30が出力されるまでの動作は実施の形態6と同様である。

【0060】判定回路28は次のようにして記憶回路1の蓄積状況を判断する。

(1) 上限値カウンタ信号29が一定値以上に達し、かつサンプリング値差分信号30が正の値をとるとき、記憶回路1の蓄積状況は増加傾向と判定する。

(2) 下限値カウンタ信号31が一定値以上に達し、かつサンプリング値差分信号30が負の値をとるとき、記憶回路1の蓄積状況は減少傾向と判定する。判定回路28は、この判定結果をマッピングパターン制御回路5に

伝える。

【0061】以上のような蓄積状態を検出する回路の構成にして、データ残量の境界値及び時間的変位の両方を判定情報として用いることで、データの蓄積状態をより正確に把握することができ、より正確なタイミングでマッピングパターンの切り換えを行うことができる。

【0062】実施の形態8. この実施の形態8では、無効データの一部あるいは全部を使用して誤り訂正符号を挿入する手段をさらに備えた実施の形態を示す。

【0063】図10はこのような場合のデジタル信号データ伝送装置の構成図である。図10において、32は誤り訂正符号生成回路、33は誤り訂正符号と無効データを切り換えるスイッチである。

【0064】次に動作について説明する。マッピングパターンの切り換えによって伝送レートを制御するのは実施の形態1、2および3と同じであるが、MPEG2-TS生成装置からのデータは、誤り訂正符号生成回路32にも入力される。誤り訂正符号生成回路32は入力データから誤り訂正符号を生成する。そして、マッピングパターン制御回路5は切換スイッチ33を制御してDS3フレームのある特定の位置に無効データの代わりに誤り訂正符号を挿入する。

【0065】以上のような構成にすることで、多少の回線品質の悪化に対しても、再送することなく、エラーフリーあるいはビットエラーの少ないMPEG2-TSの伝送ができる。また、元々無効データである部分を利用しているので、回線の使用効率は低下しない。

【0066】また、上記のように誤り訂正符号を挿入する代わりに、CRCのような誤り検出符号を挿入しても同様の効果が得られる。

【0067】実施の形態9. 実施の形態1、2及び3では、MPEG2-TSと無効データをフレームの中で完全に分離したマッピングパターンをとっているが、マッピングパターンの別の例としてTSのパケットとパケットの間に無効データを振り分けて挿入する形態を示す。

【0068】図11はこのような場合のマッピングパターンの一例としてDS3のラージフレームへのTSマッピングを示したものである。

【0069】マッピングパターン(a)は、4704バイトのラージフレーム中、TSが2068バイト(188×11)、無効データは2636バイトあり、TSと無効データがラージフレーム内で完全に分離しているマッピングである。一方マッピングパターン(b)は、この無効データを11分割して、TSパケットの後にほぼ均等に割り付けたものである。

【0070】以上のように無効データをラージフレームに均等に振り分ける構成にすることで、MPEG2-TSがバースト的に伝送されるのを回避することができる。TSがバースト的に伝送されると、瞬間的に高レベルのノイズが発生したときに被害を受けるパケットが多

くなる確率が高い。TSパケットをフレーム内に均等に分散することによって、瞬間的に発生するようなノイズに対する耐性が向上する。また、TSパケットをフレーム内に均等に分散することによってTSのレート変動が小さくなり、レート変動を吸収するためのバッファ容量を小さくすることができる。

【0071】

【発明の効果】以上のように、この発明に係るデジタル信号伝送装置によれば、送信側の伝送レートより高いマッピングと、低いマッピングを用意して、記憶回路の蓄積状態によってマッピングを切り換える構成にすることで、送信側のデータ伝送速度と同じビットレートでDS3伝送路に乗せることができるという効果がある。また、マッピングパターンをあらかじめ受信側で既知とすれば、DS3フレームの頭の検出さえすれば容易にTSを抜き出すことができ、受信側の回路が簡素化できる。また、このような構成にすることでTSとDS3フレームの同期を取ることができるので、DS3フレームさえ検出できれば受信側にTSのヘッダ検出回路を備える必要がなくなり、受信側の回路が簡素化できる。

【0072】また、デジタル伝送路の階層化構造に合致したフレーム単位で伝送フォーマットを生成するようにしたことにより、記憶回路の容量を小さくできるという効果がある。また、デジタル伝送路の階層化構造においてDS3フレーム構造さえ確立できればマッピングパターンが保証されるので、ネットワーク上での自由度が高い。

【0073】また、伝送フォーマットにおいて、無効データを1バイト単位で挿入するマッピングパターンを生成するようにしたことにより、生成する2つのマッピングパターンはいずれも送信元のデータレートに近く、従って、マッピング切り換えによる伝送レートの変動が小さくでき、伝送レートの変動を吸収する記憶回路の容量を小さくできるという効果がある。

【0074】また、送信側で選択したマッピングパターンを識別する識別データを付加する手段を備えたことにより、受信側は容易にマッピングパターンの識別ができ、TSデータの抽出ができるという効果があり、元々無効データである部分を利用しているので、回線の使用効率の低下には関与しない。

【0075】また、蓄積状態を検出する回路として、蓄積残量の境界値を検出するよう構成したことにより、記憶回路のデータ残量がオーバーフロー、アンダーフローを起こすことなくマッピングパターンを切り換えることができる。すなわち、送信側のMPEG2-TS伝送レートとDS3回線のTS伝送レートを平均的に一致させるという効果がある。

【0076】また、蓄積状態を検出する回路として、記憶回路のデータ残量の時間的変位を検出するよう構成したことにより、記憶回路のデータ残量がオーバーフロ

ー、アンダーフローを起こすことなくマッピングパターンを切り換えることができる。すなわち、送信側のMPEG2-TS伝送レートとDS3回線のTS伝送レートを平均的に一致させるという効果がある。

【0077】また、蓄積状態を検出する回路として、蓄積残量の境界値を検出すると共に、記憶回路のデータ残量の時間的変位を検出するよう構成したことにより、データ残量の境界値及び時間的変位の両方を判定情報として用いることで、データの蓄積状態をより正確に判定することができ、より正確なマッピングパターンの切り換えを行うことができるため、伝送レートの変動をより小さくすることができ、記憶回路の容量を小さくできるという効果がある。

【0078】また、無効データの一部あるいは全部を使用して誤り訂正符号を挿入するようにしたことにより、多少の回線品質の悪化に対しても、再送することなく、エラーフリーあるいはビットエラーの少ないMPEG2-TSの伝送ができるという効果がある。

【0079】また、TSのパケットとパケットの間に無効データを均等に振り分けて挿入するマッピングパターンにすることにより、耐ノイズ性能を向上させる効果がある。またTSのレート変動が小さくなり、レート変動を吸収するためのバッファ容量を小さくできる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1に係るデジタル信号伝送装置を示すブロック図である。

【図2】 この発明の実施の形態1におけるマッピングパターンを示す説明図である。

【図3】 DS3フレーム構造を示す説明図である。

【図4】 この発明の実施の形態2に係るマッピングパターンを示す説明図である。

【図5】 この発明の実施の形態3に係るマッピングパターンを示す説明図である。

【図6】 この発明の実施の形態4に係るデジタル信号伝送装置を示すブロック図である。

【図7】 この発明の実施の形態5に係る蓄積状態検出回路のブロック図である。

【図8】 この発明の実施の形態6に係る蓄積状態検出回路のブロック図である。

【図9】 この発明の実施の形態7に係る蓄積状態検出回路のブロック図である。

【図10】 この発明の実施の形態8に係るデジタル信号伝送装置のブロック図である。

【図11】 この発明の実施の形態9に係るマッピングパターンを示す説明図である。

【図12】 従来例の構成を示すデジタル信号伝送装置のブロック図である。

【図13】 MPEG over ATMのマッピングパターンを示した説明図である。

【図14】 PLCPフレーム構造を示した説明図であ

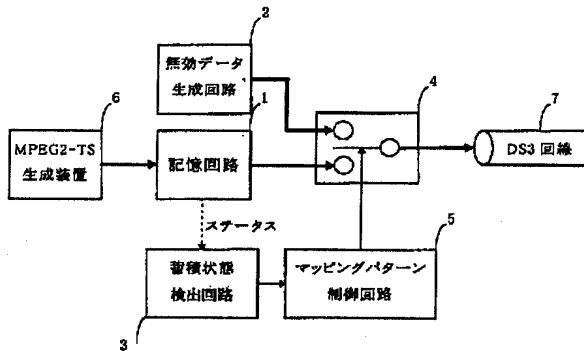
る。

【符号の説明】

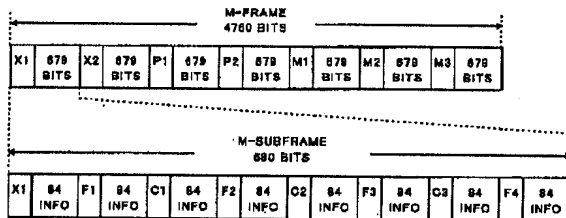
1 記憶回路、2 無効データ生成回路、3 蓄積状態検出回路、4 切り換えスイッチ、5 マッピングパターン制御回路、6 MPEG2-TS生成装置、7 DS3回線、8 マッピング識別データ生成回路、9、

33 切り換えスイッチ、11、21 上限値カウンタ、13、23 下限値カウンタ、14、19、28 判定回路、16、25 サンプリグ回路、17、26 シフトレジスタ、18、27 引算器、32 誤り訂正符号生成回路。

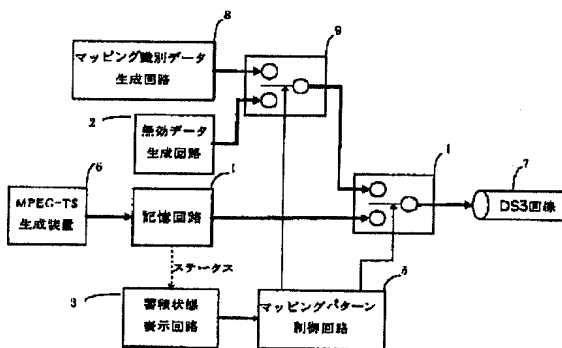
【図1】



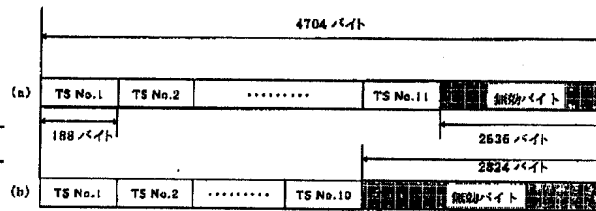
【図3】



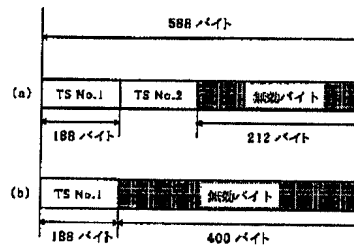
【図6】



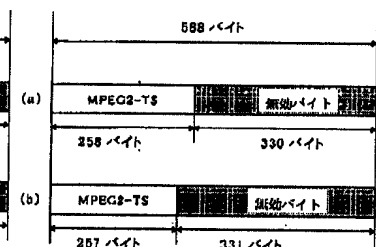
【図2】



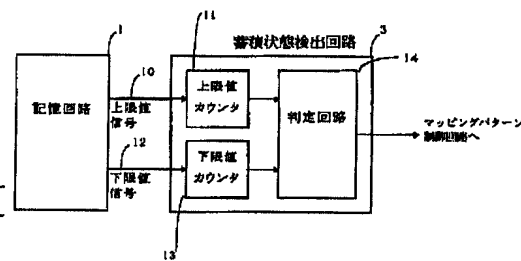
【図4】



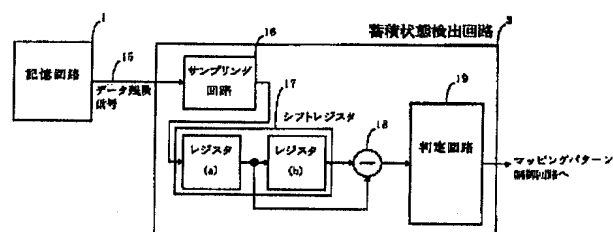
【図5】



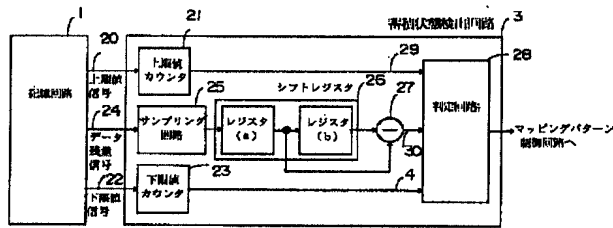
【図7】



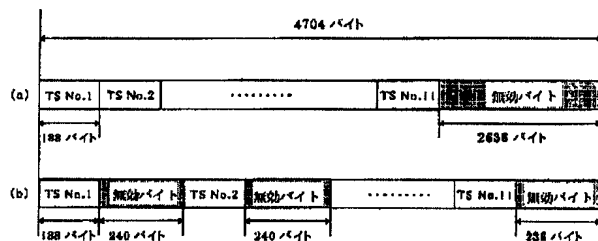
【図8】



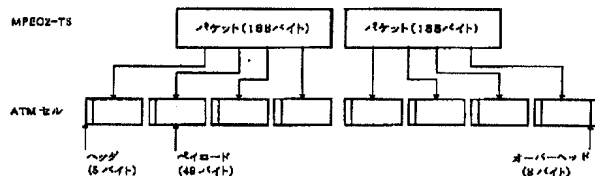
【図9】



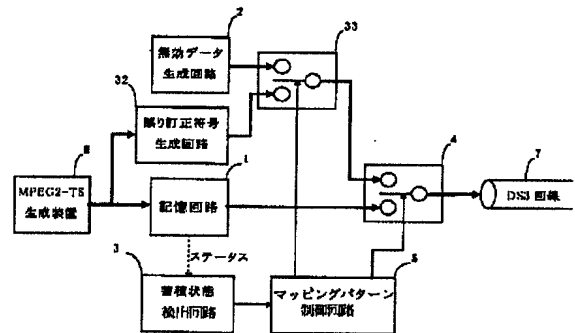
【図11】



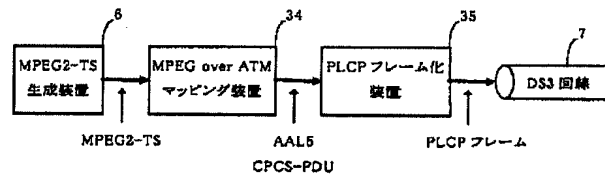
【図13】



【図10】



【図12】



【図14】

A1	A2	P11	Z5	ATM Cell
A1	A2	P10	Z6	ATM Cell
A1	A2	P9	Z4	ATM Cell
A1	A2	P8	Z3	ATM Cell
A1	A2	P7	Z2	ATM Cell
A1	A2	P6	Z1	ATM Cell
A1	A2	P5	F1	ATM Cell
A1	A2	P4	B1	ATM Cell
A1	A2	P3	G1	ATM Cell
A1	A2	P2	M2	ATM Cell
A1	A2	P1	M1	ATM Cell
A1	A2	P0	C1	ATM Cell
POH				53 bytes
				Trailer

(POH: Pass Over Head)

PLCP Frame Rate
125 μs

フロントページの続き

(51) Int. Cl. 6

識別記号

F I

H 0 4 Q 3/00